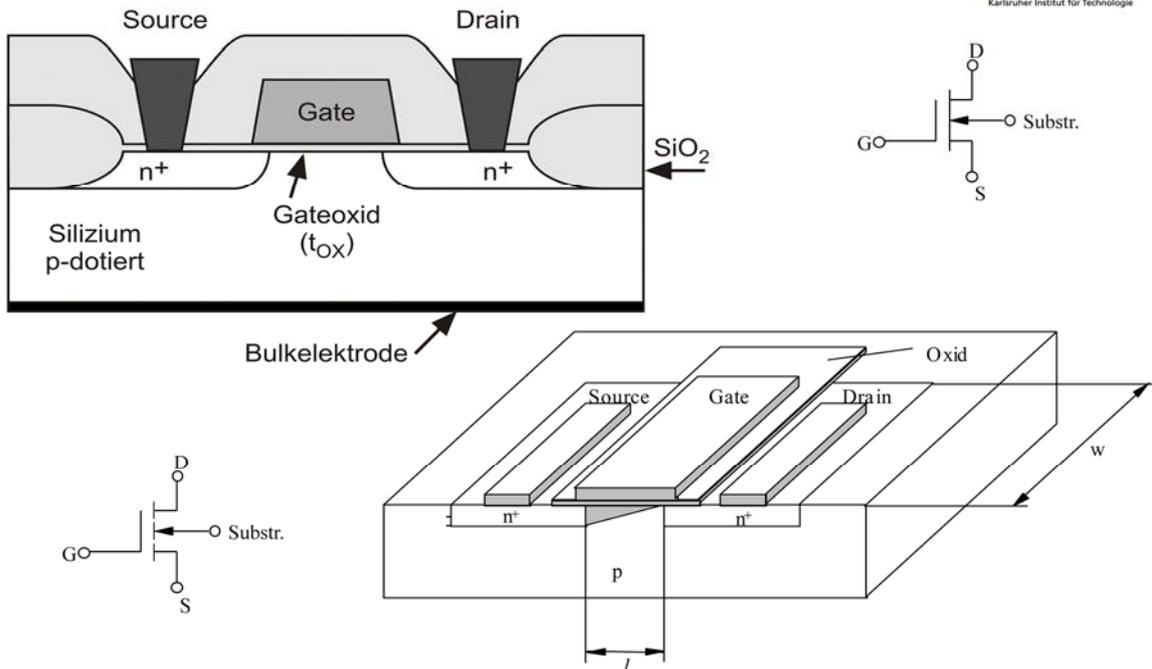


2. MOSFET: Aufbau



20

24.04.2012

Erich Crocoll -- Design Digitaler Schaltkreise

Fakultät für Elektrotechnik und Informationstechnik
Institut für Mikro- und Nanoelektronische Systeme

Zum besseren Verständnis der MOSFET soll zuerst nur die MOS-Struktur diskutiert werden, die hier schematisch dargestellt ist.

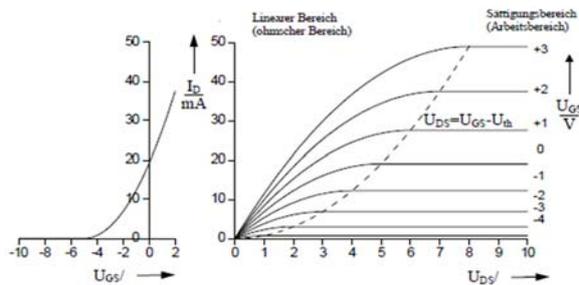
Je nach Dotierung ist ein unterschiedliches Verhalten des MOSFET möglich. Ein MOSFETs vom Verarmungstyp hat bereits bei einer Gate-Spannung $U_{GS} = 0 \text{ V}$ einen leitfähigen Kanal. Deshalb wird er auch als selbstleitender MOSFET bezeichnet.

Bei einem Anreicherungs-MOSFET müssen erst durch eine Gate-Spannung $U_{GS} > 0 \text{ V}$ bewegliche Ladungen (hier Elektronen) im Kanal angesammelt werden, damit ein Strom zwischen Drain und Source fließen kann.

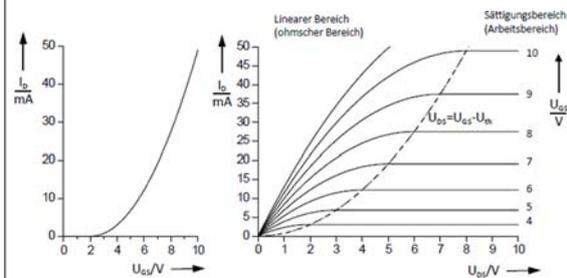
Die Symbole eines Verarmungstyps bzw. Anreicherungstyps sind rechts oben bzw. links unten dargestellt.

2. MOSFET: Typen

Verarmungstyp



Anreicherungstyp



Die Eingangskennlinie und das Ausgangskennlinienfeld für einen selbstleitenden n-Kanal MOSFET (Verarmungstyp) sind im linken Bild dargestellt. Bei $U_{GS} = 0 \text{ V}$ fließt der Drainstrom I_{D0} . Im Ausgangskennlinienfeld ist der lineare Bereich und der Sättigungsbereich gezeigt.

Die Eingangskennlinie und das Ausgangskennlinienfeld eines selbstsperrenden n-Kanal MOSFET (Anreicherungstyp) sind im rechten Bild dargestellt. Bei $U_{GS} = 0 \text{ V}$ fließt hier noch kein Strom. Erst eine positive Spannung am Gate $U_{GS} > U_{th}$ führt zu einem Strom I_D .

Im Abschnür- oder Sättigungsbereich ist der Strom I_D nur von U_{GS} abhängig. Die Kanallängenmodulation führt dazu, dass der Drain-Strom mit wachsender Spannung U_{DS} leicht zunimmt. (Early-Effekt)

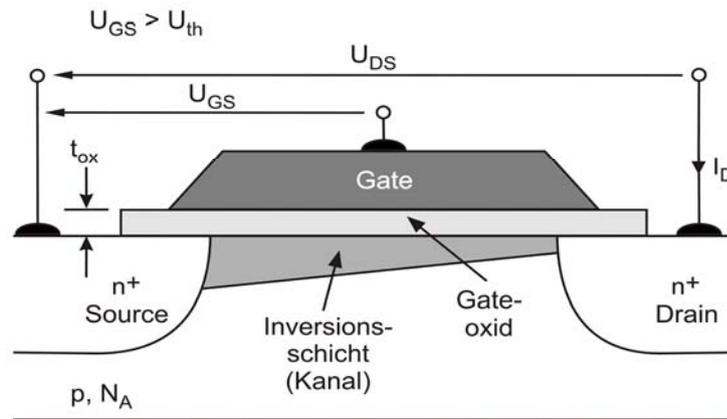
2.1. Schwellspannung von MOSFETs

$$C'_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \quad [F / (\mu m)^2]$$

$$\epsilon_0 = 8,854 \cdot 10^{-12} \text{ F / m}$$

$$t_{ox} = 40 \text{ nm}$$

$$C'_{ox} \cong 10 \text{ nF / cm}^2$$



$$\text{Schwellspannung: } U_{th0} = U_{FB} + \Phi_s + \frac{1}{C'_{ox}} \cdot \sqrt{2 \cdot e \cdot \epsilon_0 \cdot \epsilon_{si} \cdot N_A \cdot \Phi_s} \pm \frac{e \cdot D_I}{C'_{ox}} \quad (1)$$

$$U_{th} = \frac{t_{ox}}{\epsilon_0 \epsilon_{ox}} \left[\sqrt{2 \epsilon_0 \epsilon_{si} \cdot e \cdot N_A (U_{S-Sub} + \psi_{si})} + Q'_{SS} - Q'_{ox} \right] + (\phi_{ms} + \psi_{si}) \quad (2)$$

Zur Ansteuerung des Kanals ist die Kapazität zwischen Gate und Kanal entscheidend. Am gezeigten Beispiel wird der Kapazitätsbelag für eine Oxiddicke von 40 nm ermittelt. Eine wichtige Größe beim MOSFET ist die Schwellspannung U_{th} . Diese wird in der Literatur hauptsächlich durch die beiden Formeln (1) und (2) beschrieben. In Gl.(2) ist der Einfluss der Source-Substrat-Spannung zu erkennen. Gl. (1) ist ohne Source-Substrat-Spannung, deshalb U_{th0} . (Quelle: John P. Uyemura)

D_I ist die Dosis der Ionenimplantation im Kanal zur Einstellung der Schwellspannung

Eine ausführliche Beschreibung aller Vorgänge im FET finden Sie unter:

Bart Van Zeghbroeck: <http://ece-www.colorado.edu/~bart/book/book/contents.htm>

http://ecee.colorado.edu/~bart/book/book/chapter7/ch7_4.htm#7_4_1

2.1. Schwellspannung

Flachbandspannung

$$U_{FB} = \Phi_{GS} - \frac{Q_f}{C_{ox}} - \frac{1}{C_{ox}} \cdot \int_0^{t_{ox}} \frac{t'}{t_{ox}} \cdot \rho_{ox}(x') dx'$$

für p-Si :

$$\text{Metallgate: } \Phi_{GS} = \Phi_M - \Phi_S \qquad \Phi_S = \chi_s + \frac{E_g}{2 \cdot e} + \left(\frac{k \cdot T}{e} \right) \cdot \ln \left(\frac{N_A}{n_i} \right)$$

Oberflächenpotential

mit

$$\Phi_S \cong 2 \cdot |\Phi_F| \qquad |\Phi_F| = \left(\frac{kT}{e} \right) \cdot \ln \left(\frac{N_A}{n_i} \right)$$

Die Flachbandspannung selbst wird durch die erste Gleichung beschrieben.

Φ_{GS} hängt davon ab, ob das Gate aus Metall oder aus Polysilizium besteht.

Φ_S ist das Oberflächenpotential beim Einsetzen starker Inversion im Kanal.

Φ_F ist das Fermipotential

2.1. Schwellspannung: Beispiel

$$t_{ox} = 40 \text{ nm} = 400 \text{ \AA}$$

$$N_A = 10^{15} \text{ cm}^{-3}$$

n-poly Gate mit

$$N_{D,poly} = 10^{19} \text{ cm}^{-3}$$

$$Q_{fit} \cong q \cdot 10^{11} \text{ C / cm}^2$$

$$D_I = 5,20 \cdot 10^{11} \text{ cm}^{-2}$$

$$C_{ox}' = (3,9) \cdot (8,854 \cdot 10^{-14}) / (0,04 \cdot 10^{-4}) \cong 8,63 \cdot 10^{-8} \text{ F / cm}^2$$

$$U_{FB} = -(0,026) \cdot \ln[(10^{15} \cdot 10^{19}) / (1,45 \cdot 10^{10})^2] - [(1,6 \cdot 10^{-19}) \cdot (10^{11}) / (8,63 \cdot 10^{-8})]$$

$$\cong -0,819 - 0,185 \cong -1,004 \text{ V}$$

$$\Phi_s \cong 2 \cdot (0,026) \cdot \ln[(10^{15}) / (1,45 \cdot 10^{10})] \cong 0,579 \text{ V}$$

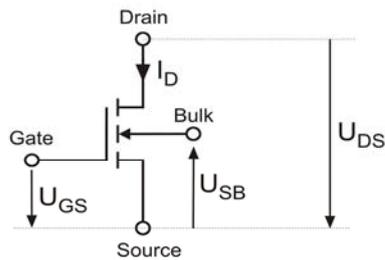
$$\frac{1}{(8,63 \cdot 10^{-8})} \cdot \sqrt{2 \cdot (1,6 \cdot 10^{-19}) \cdot (11,8) \cdot (8,854 \cdot 10^{-14}) \cdot (10^{15}) \cdot (0,579)} \cong 0,161 \text{ V}$$

$$D_I = \frac{(1,6 \cdot 10^{-19}) \cdot (5,20 \cdot 10^{11})}{(8,63 \cdot 10^{-8})} \cong 0,964 \text{ V}$$

$$U_{th} = -1,004 + 0,579 + 0,161 + 0,964 \cong +0,7 \text{ V}$$

Hier ein Beispiel zur Berechnung der Schwellspannung eine Poly-Si-Gate FETs

2.1.1. Substrat-Effekte



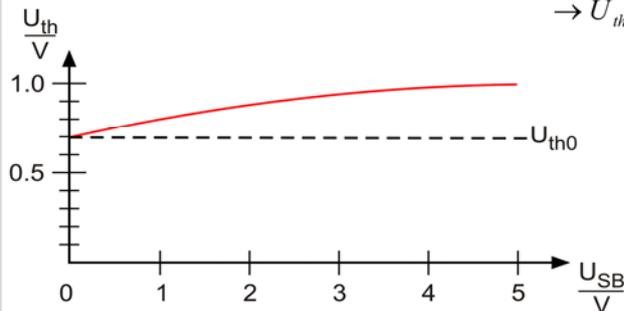
→ Erhöhung von U_{th}

$$\frac{1}{C_{ox}} \cdot \sqrt{2 \cdot e \cdot \epsilon_{Si} \cdot N_A \cdot \Phi_s} \rightarrow \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot \epsilon_{Si} \cdot N_A \cdot (\Phi_s + U_{SB})}$$

$$\Delta U_{th} = \gamma_n \cdot (\sqrt{\Phi_s + U_{SB}} - \sqrt{\Phi_s})$$

mit Body-Faktor $\gamma_n = \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot e \cdot \epsilon_{Si} \cdot N_A} [V^{1/2}]$

$$\rightarrow U_{th} = U_{th0} + \gamma_n \cdot (\sqrt{2 \cdot |\Phi_F| + U_{SB}} - \sqrt{2 \cdot |\Phi_F|})$$



Beispiel:

$$\gamma_n = 0,212 \sqrt{V}$$

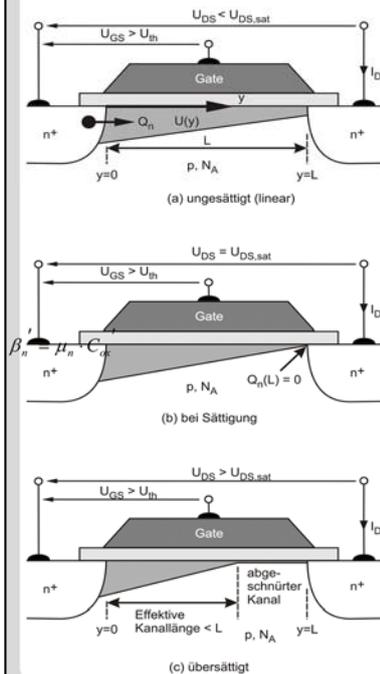
$$U_{th} \cong 0,700 V + 0,212 \cdot (\sqrt{0,579 - U_{SB}} - \sqrt{0,579})$$

In Logikschaltungen müssen Transistoren, die sich im Gleichen Substrat (Wanne) befinden auch in Reihe geschaltet werden.

Dabei stellt sich durch den Stromfluss über dem Kanalwiderstand eine kleine Drain-Source Spannung ein, die dazu führt, dass am Source ein anderes Potential vorliegt als im Substrat.

Über den so genannten Body-Faktor lässt sich die daraus resultierende Veränderung der Schwellspannung definieren.

2.2. Strom-Spannungskennlinien



Für $I_D > 0$: (1) $U_{GS} > U_{th}$ (2) $U_{DS} > 0$

$$Q_n(y) = -C_{ox}' \cdot [U_{GS} - U_{th} - U(y)]$$

$$du = \frac{I_D \cdot dy}{-\mu_n \cdot Q_n \cdot w}$$

$$I_D = \beta_n' \cdot \left(\frac{w}{L}\right) \cdot \int_0^{U_{DS}} (U_{GS} - U_{th} - U) du$$

Mit $\beta_n = \beta_n' \cdot \left(\frac{w}{L}\right)$ Steilheitskoeffizient

Wenn $U_{th} = const \neq f(y)$

$$I_{Dn} = \frac{\beta_n}{2} \cdot [2 \cdot (U_{GS} - U_{th}) \cdot U_{DS} - U_{DS}^2]$$

$$U_{DS,sat} = U_{GS} - U_{th}$$

Zur Bestimmung der Strom-Spannungskennlinien eines FETs betrachten wir drei Zustände im Bereich der Gate-Source Spannung.

Solange die Spannung kleiner als die Schwellspannung ist nehmen wir näherungsweise an, dass $I_D = 0$ ist.

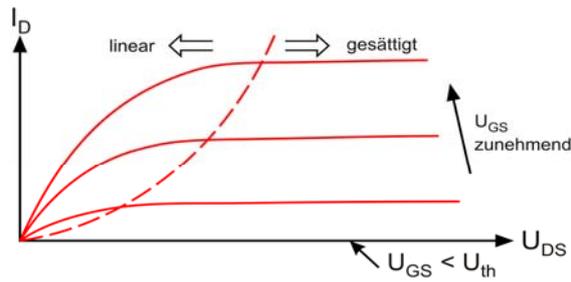
Erhöhen wir nun die Spannung am Gate über die Schwellspannung fließt ein Drainstrom. Der Kanal ist voll ausgebildet (oberes Bild). Wir können nun den Strom I_D durch eine Integration über die Länge des Kanals berechnen und erhalten die (bekannte) Formel für den linearen (ohmschen) Bereich des FET.

Häufig wird in der Literatur eine Spannung $U_{DS,sat}$ definiert, die die Grenze zwischen linearem Bereich und Sättigungsbereich angibt. Dies ist die Stelle, an der der Kanal abschnürt (mittleres Bild).

Erhöhen wir nun die Spannung am Drain weiter, wandert der Abschnürpunkt in Richtung Source. Der FET befindet sich in der Sättigung. (unteres Bild)

Man erkennt aber auch, dass die effektive Länge des Kanals dadurch reduziert wird.

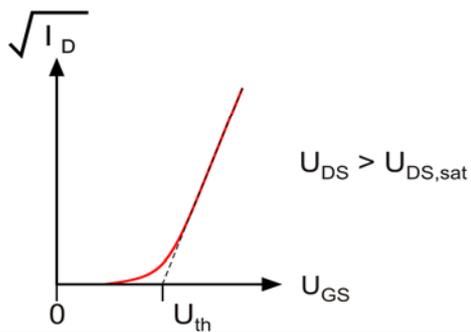
2.2. Strom-Spannungskennlinien



Kanallängenmodulation

$$I_{Dn} = \frac{\beta_n}{2} \cdot (U_{GS} - U_{th})^2 \cdot [1 + \lambda \cdot (U_{DS} - U_{DS,sat})]$$

λ : Kanallängenmodulation



Diesen Effekt der Kanallängenmodulation können wir in die Gleichung für den Drainstrom aufnehmen und erhalten dann die hier angegebene Gleichung.

2.2. Vereinfachtes "Bulk-Charge" Modell

$$\frac{1}{C_{ox}} \cdot \sqrt{2 \cdot e \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot N_A \cdot (\Phi_s + U) + U_{SB}}$$

$$\rightarrow \gamma \sqrt{2 \cdot |\Phi_F| + U_{SB}} + \delta U$$

$$\delta U = \frac{8}{2 \sqrt{2 \cdot |\Phi_F| + U_{SB}}}$$

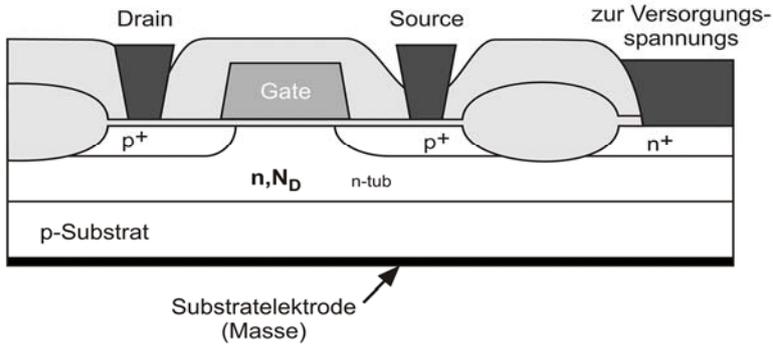
$$I_D = \frac{\beta_n}{2} \cdot [2 \cdot (U_{GS} - U_{th}) \cdot U_{DS} - (1 + \delta) \cdot U_{DS}^2]$$

$$U_{DS,sat} = \frac{(U_{GS} - U_{th})}{1 + \delta}$$

Aus der Betrachtung der Ladung unter dem Gate kann ein vereinfachtes Modell aus einer Taylor-Reihenentwicklung der Spannungsterme im Kanal abgeleitet werden, das die Substratspannung mit berücksichtigt.

Wir erhalten damit etwas genauere Gleichungen zur Bestimmung des Drainstroms und der Drain-Source Spannung beim Eintritt der Sättigung.

2.3. p-Kanal-MOSFET



$$U_{th} < 0$$

$$U_{GS} > |U_{th}|$$

Sättigung:

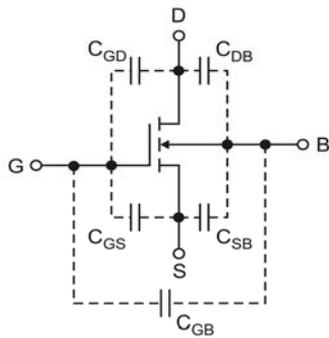
$$U_{DS,sat} = (U_{GS} - |U_{thp}|)$$

$$I_{DP} = \frac{\beta_p}{2} \cdot (U_{GS} - U_{th})^2 [1 + \lambda_p \cdot (U_{DS} - U_{DS,sat})]$$

$$U_{thp} = U_{th0} - \gamma_p \cdot (\sqrt{2 \cdot \Phi_F + U_{SB}} - \sqrt{2 \cdot \Phi_F})$$

Für den p-Kanal FET können wir prinzipiell die gleichen Annahmen machen und erhalten die entsprechenden Gleichungen für Drainstrom und Schwellspannung.

2.4.1. MOSFET-Kapazitäten: MOS-Kapazität

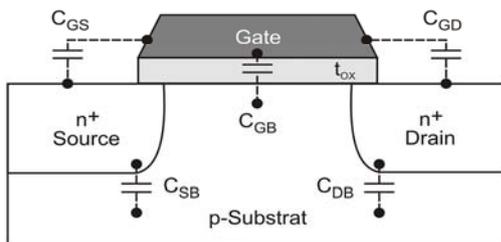


Flächenkapazität: $C'_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} [F / cm^2]$

Gate-Kapazität: $C_G = C'_{ox} \cdot (L + 2L_O) \cdot w$

Overlap-Kapazität: $C_O = C'_{ox} \cdot L_O \cdot w$

C Gate-Bulk: $C_{GB} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \cdot L \cdot w$



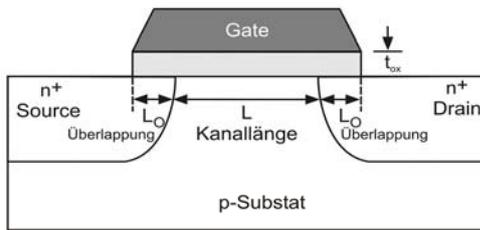
Zur weiteren Analyse des FET wollen wir uns mit allen vorhandenen Kapazitäten befassen.

Zunächst wollen wir den Kapazitätsbelag (Flächenkapazität) des Gates definieren.

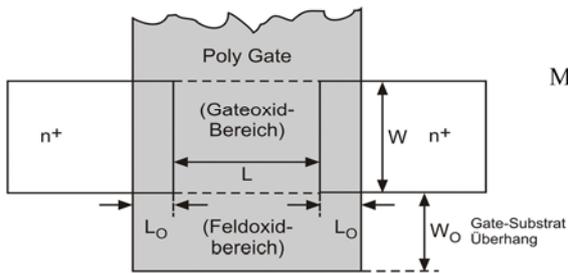
Die größte Kapazität ist die des Gates mit den Überlappungsbereichen an Drain und Source, C_G , gefolgt von C_{GB} .

Die Kapazitäten der Überlappungsbereiche Gate-Source und Gate Drain sind relativ klein.

2.4.2. MOSFET-Kapazitäten: Geometrie



a) Seitenansicht



b) Draufsicht

Flächenkapazität der Source- und Drain- Kontakte:

$$C'_{j0} = \frac{\epsilon_0 \cdot \epsilon_{Si}}{t_{d0}}$$

$$x_{d0} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot U_{Diff}}{e} \cdot \left(\frac{1}{N_D} + \frac{1}{N_A} \right)}$$

$$U_{Diff} = \left(\frac{k \cdot T}{e} \right) \cdot \ln \left(\frac{N_D \cdot N_A}{n_i^2} \right)$$

Mit Sperrspannung: U_R

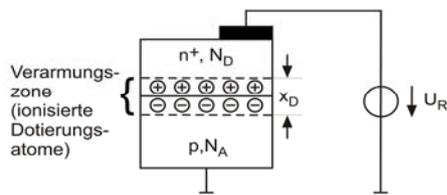
$$C_j(U_R) = \frac{C_{j0}}{\sqrt{1 + \left(\frac{U_R}{U_{Diff}} \right)^2}}$$

Hinzu kommen noch die Sperrschichtkapazitäten zwischen Source bzw. Drain und dem Substrat.

Dies sind Kapazitäten gesperrter pn-Übergänge.

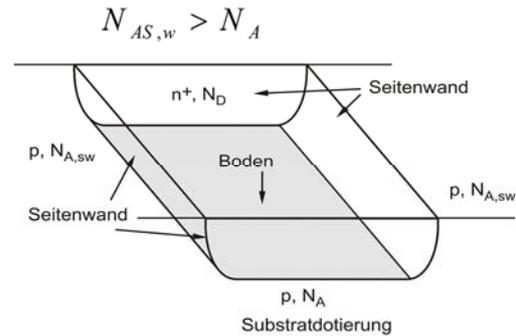
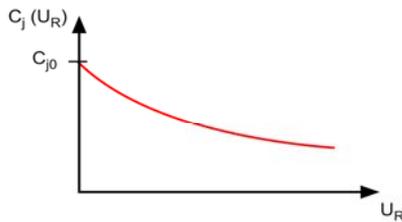
Die Formeln zur Berechnung sind hier angegeben.

2.4.3. MOSFET-Kapazitäten: Source/Drain-Bereich



Gesamt-,Sidewall“-kapazität

$$C_{sw} = C_{jsw} \cdot \ell \quad \ell: \text{Umfang}$$



Zur Berechnung der Sperrschichtkapazitäten muss die gesamte im Substrat befindliche Oberfläche (Boden und alle 4 Seitenwände) herangezogen werden.

Wenn $U_{S-Sub}=0$ ist, bleibt die Sperrschichtkapazität im Betrieb unverändert. Für den Drain erhalten wir aber eine von U_{D-Sub} abhängige Kapazität, wie der Graph C_j über U_R zeigt.

2.4.4. MOSFET-Kapazitäten: Modell

MOSFET-Eingangskapazität

$$C_G = C'_{ox} \cdot w \cdot (L + 2 \cdot L_0)$$

Linearer Bereich:

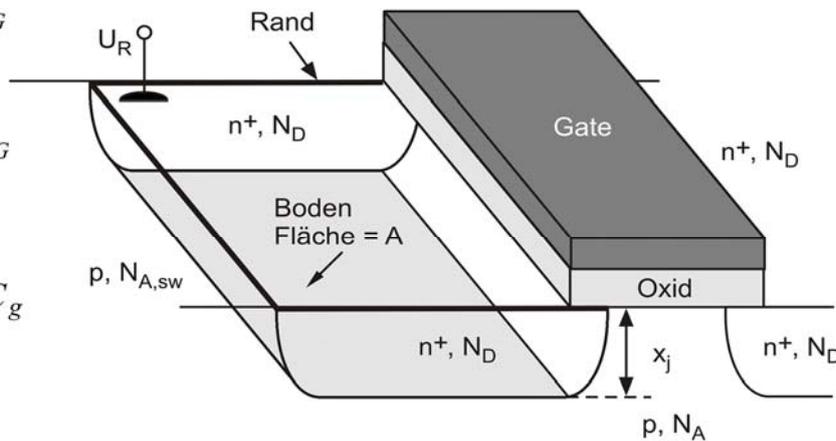
$$C_{GS} = \frac{1}{2} \cdot C_G$$

$$C_{GD} = \frac{1}{2} \cdot C_G$$

Sättigung:

$$C_{GS} = \frac{2}{3} \cdot C_g$$

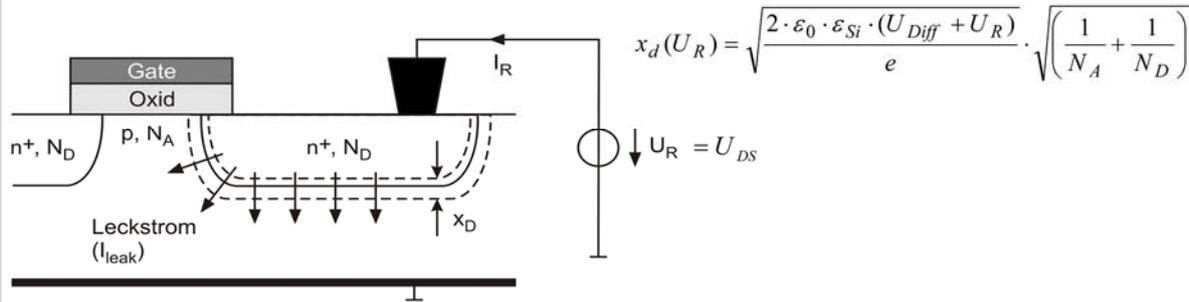
$$C_{GD} = C_O$$



Für das Schaltverhalten des Transistors ist die Eingangskapazität bestimmend.

Zur Vereinfachung von Abschätzungen werden üblicherweise die auf der Folie gezeigten Größen verwendet.

2.5. Leckströme in MOSFETs



$$x_d(U_R) = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot (U_{Diff} + U_R)}{e}} \cdot \sqrt{\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}$$

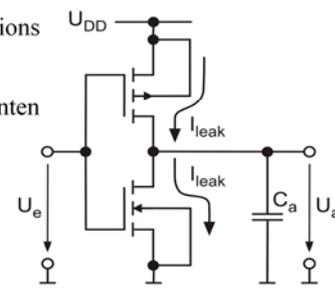
$$I = I_0 \cdot (e^{U/U_T} - 1) + I_{Dep}$$

$$I_0 = e \cdot A \cdot n_i^2 \cdot \left(\frac{D_n}{L_n \cdot N_A} + \frac{D_p}{L_p \cdot N_D} \right)$$

$$I_{ges} = \frac{e \cdot A \cdot n_i \cdot x_d}{2 \cdot \tau_0} \cdot e^{U_R/U_T}$$

$$I_R \cong I_{ges}$$

I_{Dep} Rekombinations-Generations Strom in der RLZ
 D_p, D_n : Diffusionskoeffizienten
 L_n, L_p : Diffusionslängen
 τ_0 eff. Lebensdauer der Ladungsträger



Wenn der Transistor sperrt, ist die Spannung am Drain maximal. Durch den gesperrten pn-Übergang fließt nun ein Leckstrom in das Substrat. Dieser kann mit den angegebenen Gleichungen bestimmt werden.

Da bei CMOS-Schaltungen immer ein Transistor gesperrt ist, haben wir sowohl bei H- wie auch bei L am Ausgang diesen Leckstrom zu berücksichtigen.

2.6. Parasitäre Widerstände

Drain und Source-Widerstand

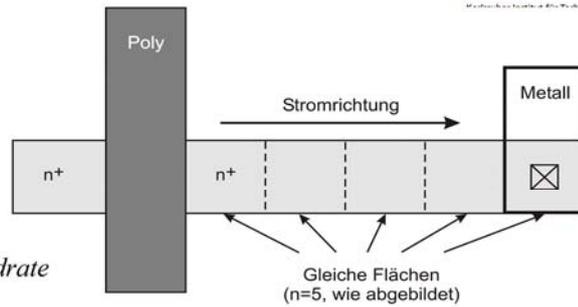
$$R_S = \frac{\bar{\rho}}{t_j} [\Omega]$$

„Schichtwiderstand“ $\left[\frac{\Omega}{\text{square}} \right] = [\Omega]$

$$R_D = R_S \cdot n_D$$

n_D, n_S : Anzahl der Quadrate

$$R_S = R_S \cdot n_S$$



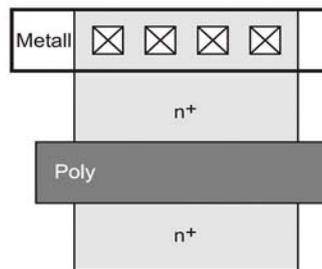
Kontaktwiderstand

$$R_{c-p} = R_{p+} \cdot A_p$$

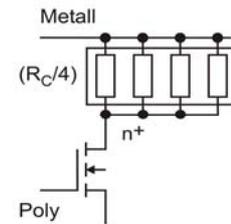
$$R_{c-n} = R_{n+} \cdot A_n$$

R_{p+}, R_{n+} : Kontaktwiderstände

A_p, A_n : Flächen



(a) Layout

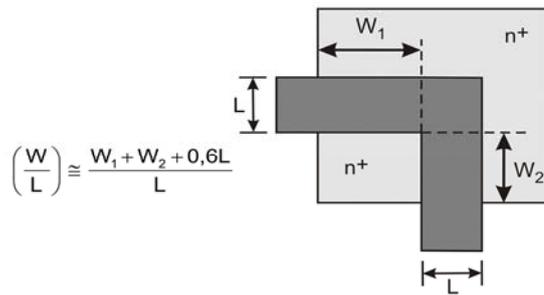


(b) Ersatzschaltbild

Neben den Kapazitäten finden wir im FET auch ohmsche Widerstände.

Dies sind zum einen der Kanalwiderstand und zum anderen die Kontaktwiderstände zwischen den Halbleitermaterialien und den (üblicherweise) Metallen der Kontakte des Bauelements zur Außenwelt.

2.7. Nicht-rechteckige Gates

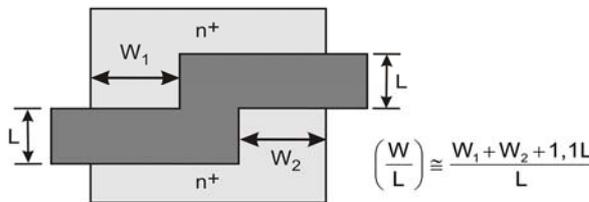


CAD:

-Manhattan (90°)

- Non-Manhattan (45°)

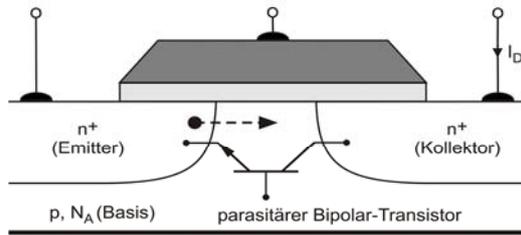
$$\left(\frac{w}{L}\right) - \text{Äquivalent} = \left(\frac{w}{L}\right)_{\text{eff}}$$



Betrachten wir unterschiedliche Layouts von Transistoren, sehen wir oft Strukturen, wie hier gezeigt.

Die Berechnung der tatsächlichen Weite des Gates kann (abhängig von der Art) mit den angegebenen Näherungsformeln bestimmt werden.

2.8. Ströme unterhalb der Schwellspannung

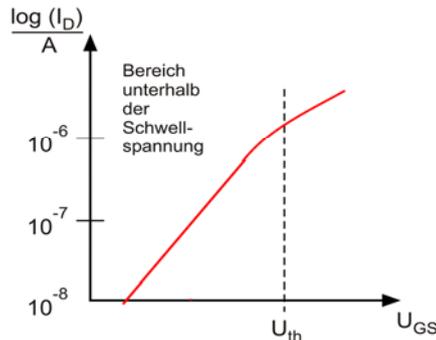


$$\left. \begin{array}{l} U_{DB} > 0 \\ U_{SB} > 0 \end{array} \right\} \text{pn-Kontakte im Sperrbetrieb}$$

$$I_{Sub} = I_0 \cdot \exp\left(-\frac{U_{DB}}{U_T}\right) - \exp\left(-\frac{U_{SB}}{U_T}\right)$$

Mit

$$I_0 = \frac{\mu_n \cdot C_{ox}' \cdot \gamma \cdot U_T^2}{2 \cdot \sqrt{\Phi_w}} \cdot \left(\frac{w}{L}\right) \cdot e^{\left(\frac{\Phi_w - 2 \cdot |\Phi_F|}{U_T}\right)}$$

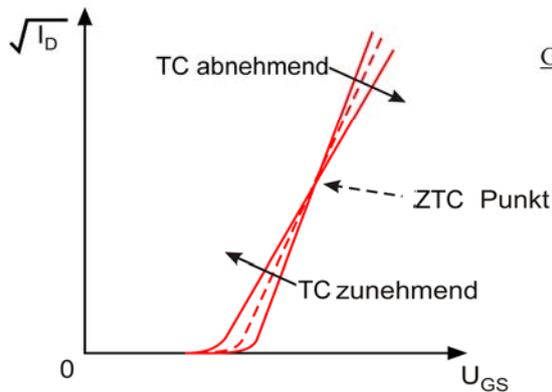


$$\Phi_w = \left[-\frac{\gamma}{2} + \left(\frac{\gamma^2}{4} + U_{GB} - U_{FB}\right)^{1/2}\right]^2$$

Wie wir schon gesehen haben, fließen auch beim gesperrten Transistor noch Leckströme. Für die statische Verlustleistung ist dies ein nicht mehr vernachlässigbarer Effekt. Deshalb müssen wir das Verhalten des Drainstroms unterhalb der Schwellspannung analysieren.

Wir erhalten eine exponentielle Abhängigkeit, wie wir sie schon vom Bipolartransistor her kennen.

2.9. Temperaturabhängigkeit



(ZTC): Zero-Temperature Koeffizient

Gründe:

1. Oberflächenmobilität hängt stark von T ab:

$$\mu(T) \cong \mu|_{T=300\text{K}} \cdot \left(\frac{300}{T}\right)^2$$

2. Schwellspannung hängt von T ab (über Fermi-Energie):

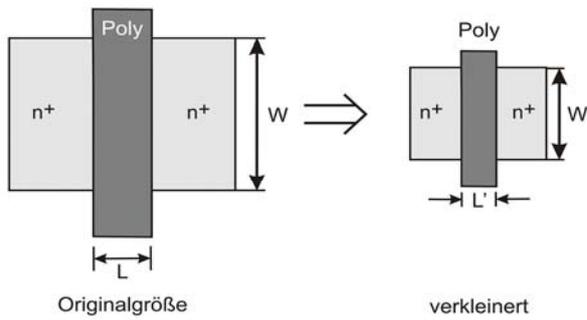
$$|\Phi_F| = \left(\frac{k \cdot T}{e}\right) \cdot \ln\left[\frac{N_a}{n_i(T)}\right]$$

Weiterhin müssen wir auch die Temperaturabhängigkeit des Drainstroms betrachten. Die Gründe für die Temperaturabhängigkeit liegen vor allem an: der Beweglichkeit der Ladungsträger und der Schwellspannung

Wenn wir allgemein $\sqrt{I_D}$ über U_{GS} auftragen können wir für pos. und neg. TK's die gezeigten Veränderungen skizzieren.

Es gibt aber auch einen Schnittpunkt aller drei Kurven. Diesen bezeichnet man als Zero Temperature Coefficient Point.

2.10. Skalierungsverhalten



$$L' = L \cdot S ; \quad w' = w \cdot S$$

$S < 1$: Skalierungsfaktor

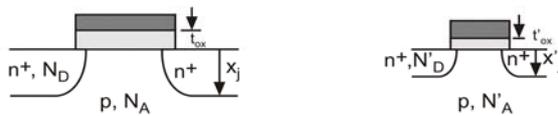
Originalgröße

verkleinert

(a) Draufsicht

$$t'_{ox} = t_{ox} \cdot S ;$$

$$(C'_{ox})' = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox} \cdot S} = \frac{C'_{ox}}{S}$$



Originalgröße

verkleinert

(b) Seitenansicht

Wenn wir die Bauelemente skalieren, verändern wir zunächst die geometrischen Abmessungen wie hier gezeigt.

Wenn wir aber auch die Dicke des Gateoxids verändern wollen, müssen wir weitere Regeln einführen.

2.10. Skalierung:

E-Feldskalierung

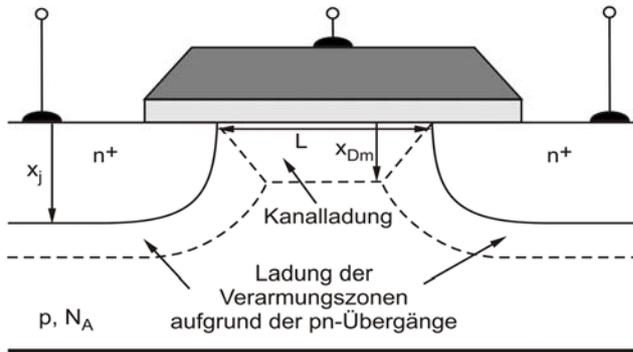
$$\begin{aligned} E'_{Gate} = E_{Gate} = \frac{U_{GS}}{t_{ox}} = const & \quad \rightarrow U_{GS}' = U_{GS} \cdot S \\ E'_{Kanal} = E_{Kanal} = \frac{U_{DS}}{L} = const & \quad \rightarrow U_{DD}' = U_{DD} \cdot S \\ \left. \begin{aligned} I_D = \frac{\beta_n}{2} \cdot [2 \cdot (U_{GS} - U_{th}) \cdot U_{DS} - U_{DS}^2] \\ \beta_n' = \mu_n \cdot (C'_{ox})' \cong \beta_n \cdot \frac{1}{S} \end{aligned} \right\} & \quad \rightarrow I_D' \cong I_D \cdot S \end{aligned}$$

Leistungssenkung: $P_v = I_D \cdot U_{DS} \quad \rightarrow P' = P \cdot S^2$

Diese, nämlich die Regel, die elektrischen Felder im Transistor konstant zu halten ist hier gezeigt.

Für den Drainstrom und die Verlustleistung erhalten wir dann die gezeigten Skalierungen.

2.11. Kurzkanaleffekte



$$U_{th0} < U_{th} \quad (\text{simple})$$

$$(\Delta U_{th0})_{SCE} = -\gamma \cdot \left(\frac{x_j}{L} \right) \cdot \left(\sqrt{1 + \frac{2 \cdot x_{Dm}}{x_j}} - 1 \right)$$

$$x_{Dm} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot (2 \cdot |\Phi_F|)}{e \cdot N_A}}$$

Kurzkanal: $L \sim x_j$

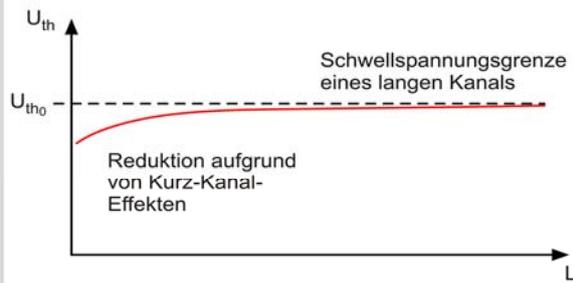
Oder alternativ:

$$L_{\min} = 0,4 \cdot [x_j \cdot t_{ox} \cdot (y_s + y_D)^2]^{1/3}$$

Werden die effektiven Kanallängen immer kleiner und erreichen dabei Abmessungen im Bereich der Tiefe der pn-Übergänge von S bzw. D, ändert sich das Verhalten des Transistors erheblich.

Abhängig von der Tiefe x_{Dm} unter dem Gate und der Tiefe der S- bzw. D-Taschen (x_j) verändert sich die Schwellspannung.

2.11. Kurzkanaleffekte: MOSFET-Modell



Sättigung:

$$U_{DS,sat} = (1-k) \cdot (U_{GS} - U_{th})$$

$$\text{mit } k = \frac{1}{1 + (E_C \cdot L_e) / (U_{GS} - U_{th})}$$

$$\text{mit } E_C = \frac{2 \cdot V_{sat}}{\mu} \quad V_{sat} = \text{Sättigungsgeschwindigkeit}$$

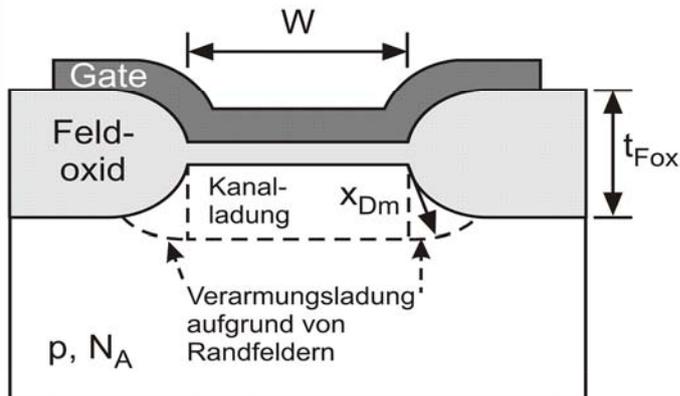
$$V_{\mu} \approx V_S$$

$$\text{Elektrische Länge: } L_e = L - x_d$$

Dies wird hier an einer Graphik gezeigt.

Damit verändern sich unter anderem auch der Übergang in den Sättigungsbereich, die kritische Feldstärke und die elektrische Länge des Kanals.

2.12. MOSFETs mit schmalem Gate



$$U_{th\ schmal} > U_{th\ normal}$$

$$(\Delta U_{th0})_{NWE} = + \frac{\pi}{2} \cdot \frac{\gamma \cdot x_{Dm}}{W}$$

$$(U_{th0})_{NWE} = U_{th0} + (\Delta U_{th0})_{NWE}$$

$$(\Delta U_{th0})_{NWE} = \frac{\delta \cdot \epsilon_{Si} \cdot \pi}{4 \cdot C_{ox}} \cdot (2 \cdot |\Phi_F| + U_{SB})$$

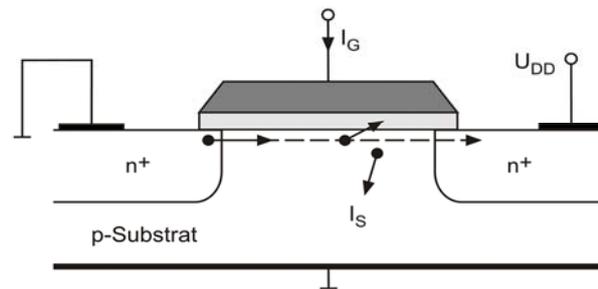
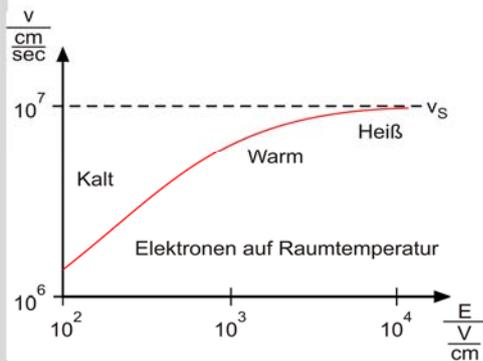
Wird die Weite der Transistoren sehr klein, kehrt sich die Reduzierung der Schwellspannung um. U_{th} wird wieder größer.

Die Erhöhung wird durch Ladungen im Substrat außerhalb des Gatebereichs verursacht.

Diese zusätzliche Substratladung erhöht die Schwellspannung um ΔU_{th0} .

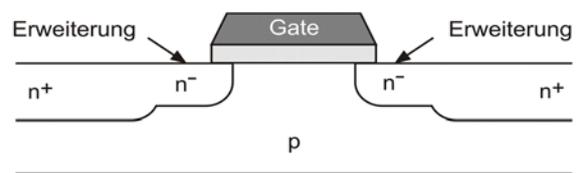
Der Faktor δ in der letzten Gleichung ist ein empirisch ermittelter Parameter, der die Geometrie der Verarmungszone aufgrund der Randfelder beschreibt.

2.13. Heiße Elektronen



$$V_{sat} \cong 10^7 \text{ cm/s} \quad \text{bei } 300 \text{ K}$$

$$E \approx \frac{U_{DS}}{L} \quad \text{mit} \quad \left\{ \begin{array}{l} U_{DS} = 5 \text{ V} \\ L = 1 \mu\text{m} \\ \rightarrow \text{hot } e^- \end{array} \right\} 5 \cdot 10^4 \text{ V/cm}$$



Die Geschwindigkeit der Elektronen im Silizium nimmt bekannter Weise mit höher werdenden elektrischen Feldern zu.

Bei Raumtemperatur erreichen die Elektronen eine Sättigungsgeschwindigkeit von etwa 10^7 cm/s .

Die Temperatur der Elektronen wird proportional zu deren Geschwindigkeit definiert.

Bei kleinen elektrischen Feldern ist die Geschwindigkeit gering, was als "kalt" bezeichnet wird.

Wird durch Erhöhung der Feldstärke die Abhängigkeit von v gegenüber E nichtlinear spricht man von "warm" und geht die Abhängigkeit in die Sättigung bezeichnet man die Elektronen als "heiß".

Um diese so genannten "hot electron effects" zu minimieren, wird heute oft die LDD-Technologie eingesetzt.